

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09128875 A**(43) Date of publication of application: **16.05.97**

(51) Int. Cl

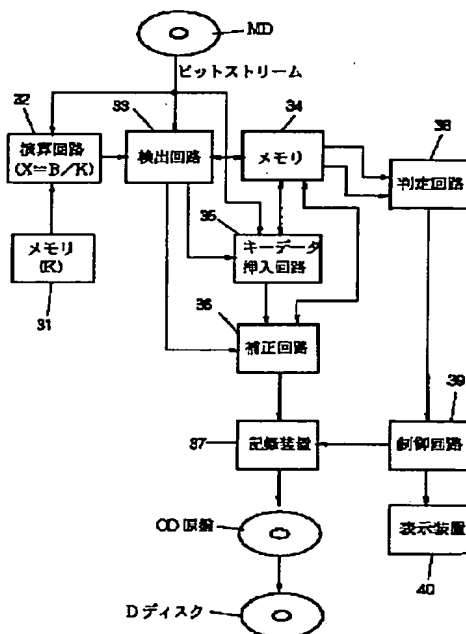
G11B 19/04(21) Application number: **08231747**(22) Date of filing: **02.09.96**(30) Priority: **01.09.95 JP 07225039**(71) Applicant: **SONY CORP**(72) Inventor:
YAGASAKI YOICHI
KOYANAGI HIDEKI
TAWARA KATSUMI
FUJINAMI YASUSHI(54) **DEVICE AND METHOD FOR RECORDING DATA,
DEVICE AND METHOD FOR PREVENTING
ILLEGAL COPY AND DATA RECORDING MEDIUM**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent a digital data from being illegally copied.

SOLUTION: A data B as a part of a bit stream and a key K stored in a memory 31 are calculated by a calculation circuit 32 to obtain a 1st block and a 2nd block in position. The LSBs of DC differentials of the 1st block and the 2nd block specified by the calculation circuit 32 are read out by a detection circuit 33, and are stored in a memory 34. Whether or not the two stored values in the memory 34 are coincident with each other is decided by a decision circuit 38, and a result of the decision is outputted to a control circuit 39. Upon noncoincidence of the two values, 'the bit stream is due to copy' is displayed 'on a display device 40, and simultaneously, recording operation of a recording device 37 is inhibited.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-128875

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl.⁶

G 1 1 B 19/04

識別記号

5 0 1

庁内整理番号

F I

G 1 1 B 19/04

技術表示箇所

5 0 1 H

審査請求 未請求 請求項の数10 O L (全 18 頁)

(21) 出願番号 特願平8-231747

(22) 出願日 平成8年(1996)9月2日

(31) 優先権主張番号 特願平7-225039

(32) 優先日 平7(1995)9月1日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 矢ヶ崎 陽一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 小柳 秀樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 田原 勝己

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 稲本 義雄

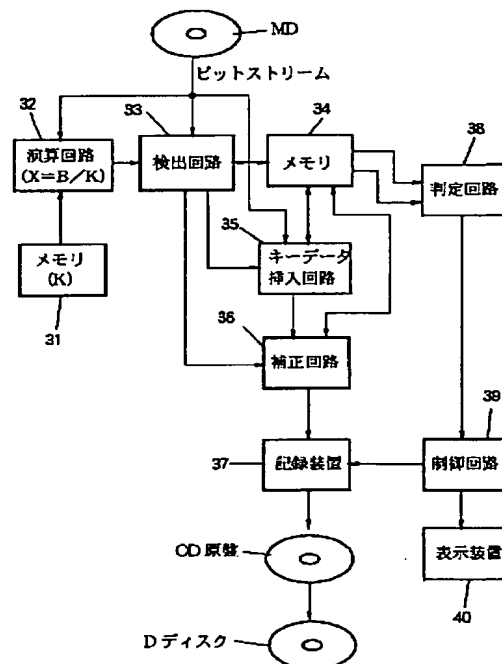
最終頁に続く

(54) 【発明の名称】 データ記録装置および方法、不正コピー防止装置および方法、並びにデータ記録媒体

(57) 【要約】

【課題】 デジタルデータが不正にコピーされるのを防止する。

【解決手段】 演算回路32は、ビットストリームの一部のデータBと、メモリ31に記憶されているキーKを演算し、第1のブロックと第2のブロックの位置を求める。検出回路33は、演算回路32で指定された第1のブロックと第2のブロックのDC DifferentialのLSBを読み取り、メモリ34に記憶させる。判定回路38は、メモリ34の2つの記憶値が一致しているか否かを判定し、判定結果を制御回路39に出力する。制御回路39は、両者が一致していないとき、ビットストリームはコピーによるものであることを表示装置40に表示させるとともに、記録装置37の記録動作を禁止させる。



フォーマット

【特許請求の範囲】

【請求項 1】 記録データを記録媒体に記録するデータ記録装置において、

可変長符号と固定長符号に変換された直交変換係数を含む前記記録データのビットストリームの、規格上、常に固定長符号とされる符号の中から、所定のものを指定する指定手段と、

前記指定手段により指定された前記固定長符号の少なくとも一部に、不正コピー防止のキーデータを書き込む書き込み手段とを備えることを特徴とするデータ記録装置。

【請求項 2】 前記記録データは、MPEG方式で圧縮されたデータであり、前記指定手段により指定される前記固定長符号は、DC Differential、またはMotion_residualであることを特徴とする請求項 1 に記載のデータ記録装置。

【請求項 3】 前記指定手段は、Bピクチャの前記Motion_residualを指定することを特徴とする請求項 2 に記載のデータ記録装置。

【請求項 4】 前記指定手段は、第 1 の固定長符号と第 2 の固定長符号とを指定し、

前記書き込み手段は、前記キーデータとして、前記第 2 の固定長符号のLSBを、前記第 1 の固定長符号のLSBと対応する値にすることを特徴とする請求項 1 に記載のデータ記録装置。

【請求項 5】 前記指定手段は、前記第 2 の固定長符号の属するブロックを、スライスの最後のブロックとすることを特徴とする請求項 3 に記載のデータ記録装置。

【請求項 6】 前記キーデータを補正する補正データを、他の前記固定長符号に記録する補正手段をさらに備えることを特徴とする請求項 1 に記載のデータ記録装置。

【請求項 7】 記録データを記録媒体に記録するデータ記録方法において、

可変長符号と固定長符号に変換された直交変換係数を含む前記記録データのビットストリームの、規格上、常に固定長符号とされる符号の中から、所定のものを指定し、

指定された前記固定長符号の少なくとも一部に、不正コピー防止のキーデータを書き込むことを特徴とするデータ記録方法。

【請求項 8】 入力された記録データのビットストリームから、可変長符号と固定長符号に変換された直交変換係数のうち、規格上、常に、前記固定長符号とされる符号に書き込まれた不正コピー防止のキーデータを検出する検出手段と、

前記検出手段の検出結果を表示する表示信号を発生する発生手段とを備えることを特徴とする不正コピー防止装置。

【請求項 9】 入力された記録データのビットストリー

ムから、可変長符号と固定長符号に変換された直交変換係数のうち、規格上、常に、前記固定長符号とされる符号に書き込まれた不正コピー防止のキーデータを検出し、

その検出結果を表示する表示信号を発生することを特徴とする不正コピー防止方法。

【請求項 10】 直交変換符号を可変長符号と固定長符号に変換して記録データとして記録したデータ記録媒体において、

規格上、常に、前記固定長符号とされる符号に、不正コピー防止のキーデータが書き込まれていることを特徴とするデータ記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ記録装置および方法、不正コピー防止装置および方法、並びにデータ記録媒体に関し、特にデジタルデータを記録したディスクが不正にコピーされるのを防止するようにした、データ記録装置および方法、不正コピー防止装置および方法、並びにデータ記録媒体に関する。

【0002】

【従来の技術】最近、ビデオテープレコーダが普及し、放送されている番組をビデオテープに録画し、任意のタイミングにおいて、任意の回数、その番組を楽しむことができるようになってきた。ビデオテープのレンタルを行う店も増加し、ビデオテープのレンタルを受け、楽しむこともできる。このレンタルのビデオテープが大量に不正にコピーされることを防止するために、種々の提案がなされている。

【0003】また、最近、ビデオデータをデジタル的にディスクやテープに記録する装置も普及しつつある。アナログビデオテープの場合、ビデオ信号がアナログ的に記録再生されるため、コピーを複数回繰り返すと画質が劣化するので、不正にコピーされたビデオテープから、さらにコピーを行う処理を繰り返すことは、実質的には困難となる。

【0004】これに対して、例えばデジタルビデオディスクにおいては、ビデオデータがデジタル的にディスクに記録されているため、不正にコピーされたディスクから、さらに他のディスクにコピーする処理を繰り返したとしても、原理的には殆ど画質が劣化することはない。そこで、デジタルビデオディスクが不正にコピーされることを防止するのは、アナログビデオテープの不正コピーを防止する場合より、はるかに重要なこととなる。

【0005】

【発明が解決しようとする課題】例えば、従来のアナログビデオテープレコーダにおいては、ビデオ信号をコピーするとき、垂直帰線区間にフラグを記録するようにし、このフラグが記録されているビデオ信号のコピーは禁止するようにするなどして、コピーを防止するように

している。

【0006】しかしながら、デジタル的にビデオ信号を記録する装置の多くは、垂直帰線区間の信号は、実質的な画像を構成しないため、記録媒体に記録しないようにすることが多い。その結果、この方法によっては不正なコピーを確実に防止することができない。

【0007】本発明はこのような状況に鑑みてなされたものであり、不正なコピーを確実に防止することができるようにするものである。

【0008】

【課題を解決するための手段】請求項1に記載のデータ記録装置は、記録データを記録媒体に記録するデータ記録装置において、可変長符号と固定長符号に変換された直交変換係数を含む記録データのビットストリームの、規格上、常に固定長符号とされる符号の中から、所定のものを指定する指定手段と、指定手段により指定された固定長符号の少なくとも一部に、不正コピー防止のキーデータを書き込む書き込み手段とを備えることを特徴とする。

【0009】請求項7に記載のデータ記録方法は、記録データを記録媒体に記録するデータ記録方法において、可変長符号と固定長符号に変換された直交変換係数を含む記録データのビットストリームの、規格上、常に固定長符号とされる符号の中から、所定のものを指定し、指定された固定長符号の少なくとも一部に、不正コピー防止のキーデータを書き込むことを特徴とする。

【0010】請求項8に記載の不正コピー防止装置は、入力された記録データのビットストリームから、可変長符号と固定長符号に変換された直交変換係数のうち、規格上、常に、固定長符号とされる符号に書き込まれた不正コピー防止のキーデータを検出する検出手段と、検出手段の検出結果を表示する表示信号を発生する発生手段とを備えることを特徴とする。

【0011】請求項9に記載の不正コピー防止方法は、入力された記録データのビットストリームから、可変長符号と固定長符号に変換された直交変換係数のうち、規格上、常に、固定長符号とされる符号に書き込まれた不正コピー防止のキーデータを検出し、その検出結果を表示する表示信号を発生することを特徴とする。

【0012】請求項10に記載のデータ記録媒体は、直交変換符号を可変長符号と固定長符号に変換して記録データとして記録したデータ記録媒体において、規格上、常に、固定長符号とされる符号に、不正コピー防止のキーデータが書き込まれていることを特徴とする。

【0013】請求項1に記載のデータ記録装置においては、指定手段が、可変長符号と固定長符号に変換された直交変換係数を含む記録データのビットストリームの、規格上、常に固定長符号とされる符号の中から、所定のものを指定し、書き込み手段が、指定手段により指定された固定長符号の少なくとも一部に、不正コピー防止の

キーデータを書き込む。

【0014】請求項7に記載のデータ記録方法においては、可変長符号と固定長符号に変換された直交変換係数を含む記録データのビットストリームの、規格上、常に固定長符号とされる符号の中から、所定のものを指定し、指定された固定長符号の少なくとも一部に、不正コピー防止のキーデータを書き込む。

【0015】請求項8に記載の不正コピー防止装置においては、検出手段が、入力された記録データのビットストリームから、可変長符号と固定長符号に変換された直交変換係数のうち、規格上、常に、固定長符号とされる符号に書き込まれた不正コピー防止のキーデータを検出し、発生手段が、検出手段の検出結果を表示する表示信号を発生する。

【0016】請求項9に記載の不正コピー防止方法においては、入力された記録データのビットストリームから、可変長符号と固定長符号に変換された直交変換係数のうち、規格上、常に、固定長符号とされる符号に書き込まれた不正コピー防止のキーデータを検出し、その検出結果を表示する表示信号を発生する。

【0017】請求項10に記載のデータ記録媒体においては、規格上、常に、固定長符号とされる符号に、不正コピー防止のキーデータが書き込まれている。

【0018】

【発明の実施の形態】図1は、本発明の不正コピー防止のためのキーデータを記録する原理を表している。同図に示すように、GOP (Group Of Pictures) は、1枚のIピクチャ、複数枚のPピクチャ、および複数枚のBピクチャにより構成されている。図1の実施の形態においては、15枚のピクチャにより1つのGOPが構成されている。また、この実施の形態においては、キーデータを記録するために、GOPを構成するピクチャの中からIピクチャが選択される。

【0019】Iピクチャは、他のピクチャと同様に、複数のスライスにより構成されており、各スライスは、所定の数のマクロブロックから構成されている。この実施の形態においては、このマクロブロックのうちの所定のものが、予め選択される。

【0020】16×16画素のマクロブロックは、輝度信号(Y)の場合、8×8画素からなる4個のブロックで構成される。色差信号Cb、Crは、16×16画素の1つのマクロブロックに対して8×8画素のブロックで表現される。これらの画素データは、DCT (Discrete Cosine Transform) 変換 (離散コサイン変換) により、DCT係数に変換される。

【0021】1つのブロックの8×8個のDCT係数Coeff[0][0]乃至Coeff[7][7]は、所定の量子化ステップで量子化され、量子化レベルQF[0][0]乃至QF[7][7]に変換される。

5

【0022】DCT係数のうち、左上のCoeff
[0][0] (scan[0]) は、直流成分(DC成分)を表し、この直流成分からは、直前のブロックの直流成分を予測値とした差分値が演算され、その差分値が符号化される。残りの交流成分(AC成分)は、ブロック内でジグザグスキャンにより、直流成分としてのscan[0]に続いて、scan[1]乃至scan[63]として並びかえられた後、符号化される。

【0023】この実施の形態においては、キーデータ記録のために、3つのブロックが選択される。第1のブロックは、キーデータのビットを決定するためのブロックであり、第2のブロックは、第1のブロックで決定されたビットが設定される(書き込まれる)ブロックであり、第3のブロックは、第2のビットを設定したことにより起因して発生するミスマッチを抑制するための補正データを書き込むブロックである。

【0024】例えば、図2に示すように、第2のブロックを第1のブロックとは異なるマクロブロックのブロックの中から選定し、第3のブロックを第2のブロックと同一のマクロブロックの他のブロックから選択することができる。

【0025】また、図3に示すように、第1乃至第3のブロックを同一のマクロブロック内のブロックから選択することもできる。

【0026】ただし、第1乃至第3のブロックは、それぞれDC成分の差分を処理する順番に選択される。

【0027】すなわち、図4に示すように、DCT係数のうち、DC成分は、直前のDC成分との差分が演算され、その差分値が符号化される。輝度信号の場合、4個のブロックの順番は、左上、右上、左下、右下の順番とされる。従って、左上のブロックのDC成分としては、直前のマクロブロックの右下のブロックのDC成分との差分が符号化され、右上のブロックのDC成分としては、左上のブロックのDC成分との差分が符号化され、左下のブロックのDC成分としては、右上のブロックのDC成分との差分が符号化され、右下のブロックのDC成分としては、左下のブロックのDC成分との差分が符号化される。

【0028】色差信号の場合は、それぞれ直前の対応する色差信号のブロックのDC成分との差分が符号化される。

【0029】このように、DC成分の差分値を符号化するとき、DC成分は、サイズと、そのサイズで表される実際の値(DC Differential)で表される。前者は、可変長符号(VLC: Variable Length Code)とされ、後者は、固定長符号(FLC: Fixed Length Code)とされる。

【0030】DC成分のサイズは、例えば、輝度信号の場合、図5(A)に示すように規定されており、色差信

6

号場合、図5(B)に示すように規定されている。また、例えばDC成分のサイズが3である場合、DC Differentialは、図6に示すように規定されている。

【0031】従って、例えば輝度信号の場合、DC成分のサイズが3で、実際の値zz[0]が-6であるとき、その差分値は、101001で表される。

【0032】本実施の形態においては、第2のブロックのDC DifferentialのLSBが、第1のブロックのDC DifferentialのLSBと同一の値に設定することで、キーデータが記録される。例えば、第1のブロックのDC Differentialが010であり、第2のブロックのDC Differentialが101であるとき、その第2のブロックのDC DifferentialのLSBは0に書き換えられ、100とされる。また、第1のブロックのDC Differentialが001であり、第2のブロックのDC Differentialが010であるとき、その第2のブロックのDC Differentialは、そのLSBが1に書き換えられ、011とされる。

【0033】その結果、この実施の形態の場合、第2のブロックのDC Differentialの書き換えは、図6において矢印で示すように行われる。例えば、その値が001であるとき、そのLSBを0に書き換えるとき、その値は000と書き換えられ、010とは書き換えられない。また、例えば、その値が010であるとき、書き換え後の値は011とされる。逆にその値が011である場合、書き換え後の値は010とされる。このように、LSBのみが書き換えられる。

【0034】また、第2のブロックのDC DifferentialのLSBが、第1のブロックのDC DifferentialのLSBと元々同一である場合、実質的にキーデータがすでに記録されていることになるので、第2のブロックのDC DifferentialのLSBはそのままの値とされる。

【0035】このように、第2のブロックのDC DifferentialのLSB(図6の左側の欄の値)が書き換えられると、DCT係数の実際の値(図6の右側の欄の値)が1だけ増加または減少することになる。そこで、このDCT係数の実際の値の増加または減少を吸収するように、第3のブロックのDC Differentialの値が補正される。

【0036】すなわち、第2のブロックのDC DifferentialのLSBを0から1に書き換えた場合、DCT係数の実際の値は1だけ増加したことになるので、第3のブロックのDC Differentialは、DCT係数の実際の値が1だけ減少するように書き換えられ、第2のブロックのDC DifferentialのLSBを1から0に書き換えた場合、DCT

係数の実際の値は1だけ減少したことになるので、第3のブロックのDC Differentialは、DCT係数の実際の値が1だけ増加するように書き換えられる。

【0037】例えば、第2のブロックのDC Differentialの010を011に書き換えた場合、DCT係数の実際の値が-5から-4に1だけ増加するので、例えば、第3のブロックのDC Differentialが110であったとすれば、これを101に書き換えて、DCT係数の実際の値を、6から5に1だけ減少させる。同様に、例えば、第2のブロックのDC Differentialの011を010に書き換えた場合、DCT係数の実際の値が-4から-5に1だけ減少するので、例えば、第3のブロックのDC Differentialが110であったとすれば、これを111に書き換えて、DCT係数の実際の値を、6から7に1だけ増加させる。

【0038】以上のようにして、1つのブロックに1ビットのキーデータが書き込まれることになるので、図7に示すように、nビットによりキーデータを構成する場合、n個のブロックのDC DifferentialのLSBが書き換えられることになる。ただし、このnビットのキーデータは、選択した第1のブロックのDC DifferentialのLSBにより結果的に規定されるものであって、記録するデータとして、予め用意されるものではない。

【0039】次に、このような原理に従って、キーデータを記録再生する場合の装置の構成例について説明する。図8は、エンコーダの構成例を表している。このエンコーダは、図1におけるオリジナルソースから正規のマス

【0040】アナログのビデオ信号は、A/D変換され、フレームメモリ1に供給され記憶される。フレームメモリ1に記憶されたビデオデータは、そこから読み出され、減算器2を介して、DCT回路3に供給される。DCT回路3は、入力されたデータをDCT変換した後、量子化回路4に出力する。量子化回路4は、入力されたDCT係数を量子化する。

【0041】量子化回路4より出力されたデータは、VLC回路5に供給されるとともに、逆量子回路6に供給され、逆量子化され、IDCT回路7に供給されるようになされている。IDCT回路7は、入力されたデータを逆DCT処理し、加算器8を介して動き補償回路9に出力する。動き補償回路9は、入力されたデータを動きベクトルに対応して動き補償した後、予測メモリ10に記憶させるようになされている。予測メモリ10に記憶されたデータは、減算器2に供給され、フレームメモリ1から供給されるデータから減算されるようになされている。また、加算器8で、IDCT回路9からのデータ

に加算されるようになされている。

【0042】動きベクトル検出回路11は、フレームメモリ1より出力されたデータの動きベクトルを検出し、その検出結果を動き補償回路9に供給している。

【0043】次に、その動作について説明する。フレームメモリ1より読み出されたデータは、1ピクチャの場合、加算器2を介してそのままDCT回路3に供給される。これに対して、PピクチャまたはBピクチャの場合、予測メモリ10に記憶されている動き予測画像との差分が減算器2において求められ、その差分データがDCT回路3に供給される。

【0044】DCT回路3は、入力されたデータを各マクロブロックのブロック単位でDCT変換し、DCT係数Coeff[u][v]に変換する。

【0045】量子化回路4は、DCT回路3より供給されたDCT係数Coeff[u][v]を量子化レベルQF[u][v]に変換する。そして、図1に示すように、この量子化レベルQF[u][v]をジグザグスキャンする。

【0046】逆量子化回路6は、量子化回路4より出力されたデータを逆量子化する。すなわち、量子化回路4における処理と逆の処理を施す。逆量子化回路6より出力されたデータは、IDCT回路7に入力され、逆DCT処理される。すなわち、DCT回路3における場合と逆の処理が施される。

【0047】IDCT回路7より出力データは、加算器8において予測メモリ10より供給される予測画像データと加算され、差分データから元のデータに戻される。そして、このデータは動き補償回路9に入力される。動き補償回路9には、動きベクトル検出回路11より動きベクトルが入力されており、動き補償回路9は、この動きベクトルに対応してIDCT回路7より入力されたデータの動き補償を施す。そして、動き補償した後のデータを予測メモリ10に供給し、記憶させる。このようにして、予測メモリ10には、動き予測画像が記憶される。

【0048】一方、VLC回路5は、量子化回路4より入力された量子化レベルQF[u][v]のデータを可変長符号に変換する。VLC回路5により可変長符号化されたデータは、ビットストリームとして図示せぬ装置に供給され、マスディスクMD（記録媒体）に記録される。

【0049】以上のようにエンコーダは、基本的に従来の場合と同様に動作する。

【0050】図8に示すエンコーダによりエンコードされたデータは、マスディスクMDに記録される。そして、このマスディスクMDから大量のレプリカディスク（ROMディスク）を製造する場合、そのマスディスクMDがフォーマットに供給される。フォーマットは、提供されたマスディスクMDから大量のディスク

を製造する。図9は、このフォーマッタの構成例を表している。

【0051】この実施の形態においては、演算回路32（指定手段）が、メモリ31に記憶されている所定のキーK（キーデータを記録するブロックを決定するためのキーであり、図7に示すnビットのキーデータとは別個のキーである）と、マスタディスクMDを再生して得られるビットストリームに含まれる一部のデータBを演算し、その演算結果から、上記した第1および第2のブロックを決定するようになされている。検出回路33は、演算回路32の出力で指定されるブロックからDC Differentialを検出するようになされている。そして、第1のブロックと第2のブロックのDC DifferentialのLSB、並びに第3のブロックのDC Differentialをメモリ34に供給し、記憶させる。キーデータ挿入回路35（書き込み手段）は、検出回路33より第2のブロックの検出信号の入力を受けたとき、ビットストリーム中の、その第2ブロックのDC DifferentialのLSBを、メモリ34から供給される第1のブロックのDC DifferentialのLSBで書き換える処理を実行する。

【0052】補正回路（補正手段）36は、検出回路33より第3のブロックの検出信号の入力を受けたとき、キーデータ挿入回路35より供給されるビットストリーム（その第2のブロックにはキーデータが書き込まれている）中の第3のブロックに補正データを書き込む処理を行う。

【0053】補正回路36より出力されたデータは、記録装置37に供給される。記録装置37は、入力されたデータを原盤ODに記録し、この原盤ODから大量のレプリカディスクDが製造される。

【0054】判定回路38（検出手段）は、メモリ34に記憶された第1のブロックと第2のブロックのDC DifferentialのLSBを比較し、その比較結果を制御回路39（発生手段）に出力する。制御回路39は、判定回路38の判定結果に対応する表示を表示装置40に表示させるとともに、その判定結果に対応して記録装置37を制御するようになされている。

【0055】次に図10乃至図12のフローチャートを参照して、ビットストリームを記録したディスクを製造する場合の動作について説明する。

【0056】最初にステップS1において、演算回路32はマスタディスクMDを再生して得られるビットストリームを所定の位置まで読み込む。そして、ステップS2において、演算回路32は、GOP内のIピクチャのビットストリームの予め定められている所定のデータを読み取り、これをBとする。次にステップS3に進み、演算回路32は、メモリ31に記憶されているキー（K）を用いて、次式に従ってXを得る。

$$X = B / K$$

【0057】次にステップS4において、演算回路32は、ステップS3で演算した値Xから第1のブロックと第2のブロックの位置を決定する。例えば、第1のブロックの位置をXのMSB側の4ビットで表される位置とし、第2のブロックの位置をXのLSB側の4ビットで表される位置とすることができる。

【0058】この他、例えば、MSB側の6ビットでマクロブロックを指定し、下位2ビットで、そのマクロブロック内のブロックを、第1のブロックとして指定するようにしてもよい。この場合、第2のブロックは、第1のブロックに続くブロックとすることができる。

【0059】次に、ステップS5に進み、検出回路33は、第1のブロックまでのビットストリームを読み込む処理を実行する。そして、ステップS6において、検出回路33は、第1のブロックのDC Sizeを読み込む。そして、検出回路33は、ステップS7において、そのDC Sizeが0であるか否かを判定し、0でない場合においては、ステップS8に進み、DC DifferentialのLSBを読み取り、これをメモリ34に出力し、そのRegister_1にセット（記憶）させる。DC Sizeが0である場合においては、ステップS9に進み、検出回路33は、0をメモリ34に出力し、Register_1にセットさせる。すなわち、この場合においては、DC Differentialの値が存在しないのであるが、その値は0であると仮定して、以後の処理を進めるものとする。

【0060】次に、検出回路33は、ステップS10において、第2のブロックまでビットストリームの読み込みを継続し、ステップS11において、検出回路33は、第2のブロックのDC Sizeを読み込む。そして、ステップS12において、検出回路33はDC Sizeが0であるか否かを判定する。DC Sizeが0でなければステップS13に進み、検出回路33は第2のブロックのDC DifferentialのLSBをメモリ34に出力し、そのRegister_2にセットさせる。

【0061】次にステップS14に進み、メモリ34のRegister_1とRegister_2に記憶された値（すなわち第1のブロックのDC DifferentialのLSBと第2のブロックのDC DifferentialのLSB）が等しいか否かが検出回路33で判定される。両者が等しい場合、実質的にキーデータが、すでに関き込まれていることになり、データを変更する必要がないので、ステップS26に進む。

【0062】これに対して、ステップS14において、Register_1とRegister_2の値が異なっていると検出回路33により判定された場合、ステップS15に進み、キーデータ挿入回路35において第2のブロックのDC DifferentialのLS

Bを、Register_1の値（第1のブロックのDC DifferentialのLSB）で上書きする。すなわち、第2のブロックのDC DifferentialのLSBを第1のブロックのDC DifferentialのLSBと同一の値に設定する。

【0063】以上の処理により、キーデータの1ビット分のデータの書き込みが完了したことになる。このようなキーデータの記録により、例えば、元のビットストリームの復号画像からのずれは、1つのブロックのDC値を8ビットで量子化した場合、1ずれることになり、また、9ビットで量子化した場合、ずれは0.5となり、10ビット量子化の場合、0.25、11ビット量子化の場合、0.125となる。そこで、次に、このキーデータの書き込みに起因するミスマッチを抑制するために補正処理を行う。このため、ステップS16において、検出回路33は、次のブロック（第3のブロック）までビットストリームを読み込み、ステップS17において、検出回路33は、その第3のブロックのDC Sizeを読み込む。

【0064】検出回路33は、ステップS18において、第3のブロックのDC Sizeが0であるか否かを判定する。DC Sizeが0であればDC Differentialが存在しないため、補正処理を行うことができない。そこで、ステップS16に戻り、検出回路33は、さらに次のブロックまでビットストリームを読み込み、そのブロックを第3のブロックとして、ステップS17で、そのDC Sizeを読み込む。

【0065】すなわち、図13に示すように、最初に、第3のブロックとして、指定されたブロックのDC Sizeが0であるとき、次のブロックが第3のブロックとして選択される。そして、そのブロックのDC Sizeが0でなければ、そのブロックが第3のブロックとして選択される。

【0066】検出回路33は、ステップS18において、第3のブロックのDC Sizeが0ではないと判定した場合、ステップS19に進み、その第3のブロックのDC Differentialを読み取り、その読み取った値をメモリ34のRegister_3に書き込ませる。これにより、第3のブロックの、例えば図6における左側の欄に示す000乃至111の3ビットの値が、Register_3に記憶されたことになる。

【0067】次にステップS20において、メモリ34のRegister_1に記憶した値が0であるか否かが検出回路33により判定される。その値が0である場合、ステップS21に進み、検出回路33は、ステップS19でRegister_3に書き込んだ第3のブロックのDC Differentialの値が $2^{DC\ Size}-1$ と等しいか否か、あるいは

$2^{DC\ Size-1}-1$

と等しいか否かを判定する。なお、ここで、 \wedge はべき乗を意味する。

【0068】すなわち、いま、Register_1の値が0である（ステップS20）から、第2のブロックのDC DifferentialのLSBを1から0に書き換えている（DCT係数の実際の値（差分値）を1だけ減少させている）（ステップS15）ことになる。そこで、この減少分を相殺するには、第3のブロックのDC DifferentialのLSBに1を加算すればよい（図6に示すように、基本的に、DC Differentialを1だけ増加すると、DCT係数の差分値も1だけ増加する）。この加算処理がステップS22で行われるのであるが、図6に示すように、例えば、第3のブロックのDC Differentialの値が111（DC Size=3として、 $2^3-1=7=“111”$ ）であるとき（DCT係数の差分値の値が7であるとき）、その値が最大値とされているため、差分値をそれ以上の値に設定することはできない。すなわち、そのブロックは、補正処理を実行する上で、適当なブロックではないということになる。

【0069】同様に、Register_3（第3のブロックのDC Differential）の値が、 $2^{DC\ Size-1}-1$ と等しい場合、すなわちRegister_3の値が $2^{(3-1)}-1=3=“011”$ ）である時、差分値の値は-4であり、その値を1だけ増加した-3の値は規定されていないので、その値を1だけ増加する処理を実行することができない。すなわち、このブロックも補正処理を行うブロックとしては不適当である。

【0070】このように、ステップS21において、補正のためのブロックとしては不適当であると検出回路33により判定された場合、ステップS16に戻り、検出回路33は、次のブロックを第3のブロックとして選択する。

【0071】ステップS21において、第3のブロックが補正すべきブロックとして適当であると判定された場合、ステップS22に進み、検出回路33は、Register_3の記憶値に1を加算させる。そして、ステップS25に進み、補正回路36は、第3のブロックのDC Differentialの値として、Register_3に設定されている値を書き込ませる。

【0072】一方、検出回路33は、ステップS20において、Register_1の値が0ではない（1である）と判定した場合、ステップS23に進み、Register_3の値が $2^{DC\ Size-1}$

と等しいか否か、または0と等しいか否かを判定する。

【0073】すなわち、いま、Register_1が1であるので、第2のブロックのDC Differ

ntialのLSBは、0から1に書き換えられている（DCT係数の差分値が1だけ増加されている）ことになる。そこで、これを補正するには、ステップS24で、第3のブロックのDC Differentialを1だけ減少すればよいのであるが、図6に示すように、DC Differentialの値が、4（ $=2^{(3-1)}=2^2=4=“100”$ ）である場合、差分値は4として規定されており、それより1だけ少ない差分値3は規定されていない。同様に、DC Differentialが“000”であるとき、その差分値は-7として規定され、それより1だけ少ない差分値-8は規定されていない。従って、いま、第3ブロックとして選択されているブロックは補正処理を行う上において、適当なブロックではない。そこで、この場合においては、ステップS16に戻り、検出回路33で次のブロックを第3のブロックとして選択するようにする。

【0074】検出回路33は、ステップS23において、第3のブロックが補正を行うことができるブロックであると判定した場合、ステップS24に進み、Register_3の値を1だけデクリメントする。そして、ステップS25に進み、補正回路36は、1だけデクリメントした値を第3のブロックのDC Differentialに上書きする。

【0075】次にステップS26に進み、制御回路39は、キーデータを記録する処理をまだ続けるか否かを判定し、続ける場合、スタートに戻り、それ以降の処理を繰り返し実行する。この処理が複数回繰り返されることで、図7に示すようなnビットのキーデータが、メモリ31に記憶されているキー（K）で規定される位置のブロックに記録されることになる。

【0076】ステップS15で行われる上書き処理は、キーデータ挿入回路35で行われる。すなわち、キーデータ挿入回路35は、検出回路33より第2のブロックであることを表す検出信号が入力されているとき、入力されるビットストリームのDC DifferentialのLSBに、メモリ34のRegister_1に記憶されている値を上書きする。

【0077】また、ステップS25における補正処理は、補正回路36により行われる。すなわち、補正回路36は、検出回路33より第3のブロックであることを表す検出信号が入力されているとき、キーデータ挿入回路35を介して入力されるビットストリームのDC Differentialを、メモリ34のRegister_3に記憶されているデータで書き換える。

【0078】なお、補正データの書き込みは、必ずしも必要な処理ではなく、省略することが可能である。ただし、省略すると、画像に若干のノイズがでるが、LSBを書き替えているに過ぎないので、実際には、殆ど視聴者に気付かれるようなことはない。また、DC成分の差分符号化（DPCM）は、Slice単位で閉じている

ので、その影響も、そのブロックが存在するSlice内で収まる。

【0079】このようにして、キーデータ挿入回路35と補正回路36による処理を経たビットストリームは記録装置37に供給され、原盤ODに記録される。この原盤ODからスタンパが作成され、スタンパから大量のレプリカディスク（ROMディスク）としてのディスクDが製造される。

【0080】次に、図14と図15を参照して、フォーマッタが行う判定処理について説明する。

【0081】最初に、ステップS41において、制御回路39は、変数Nを0に初期設定する。次のステップS42乃至S45の処理は、図10のステップS1乃至S4の処理と同様の処理である。すなわち、演算回路32は、ビットストリームを所定の位置まで読み込み、所定のデータをBとして読み込む。そして、メモリ31に記憶されているキーデータKで、読み取ったデータBを割算し、その商Xから第1のブロックと第2のブロックの位置を決定する。

【0082】その後、ステップS46において、検出回路33は、第1のブロックまでビットストリームを読み込み、ステップS47において、第1のブロックのDC Sizeを読み込む。検出回路33は、ステップS48において、DC Sizeが0であるか否かを判定し、0でなければ、ステップS49で、第1のブロックのDC DifferentialのLSBをメモリ34に供給し、Register_1にセットさせる。DC Sizeが0であると判定された場合においては、ステップS50に進み、検出回路33は、Register_1に0をセットさせる。

【0083】次に、検出回路33は、ステップS51に進み、第2のブロックまでビットストリームを読み込み、ステップS52において、第2のブロックのDC Sizeを読み込む処理を実行する。

【0084】ステップS53において、検出回路33は、ステップS52で読み取った第2のブロックのDC Sizeが0であるか否かを判定する。DC Sizeが0でなければ、ステップS54に進み、検出回路33は、第2のブロックのDC DifferentialをRegister_2にセットさせる。ステップS55においては、判定回路38が、ステップS49またはS50において設定されたRegister_1の値と、ステップS54で設定されたRegister_2の値とを比較する。判定回路38は、この比較の結果、両者が等しくないと判定した場合、その判定結果を制御回路39に出力する。制御回路39は、この判定結果が得られたとき、ステップS59に進み、ビットストリームはオリジナルのものであると判定する。そして制御回路39は、表示装置40にその旨を表示させるとともに、記録装置37を制御し、その動作を許容する。これ

により、上述したようにして、マスタディスクMDより再生されたデータが原盤ODに記録され、さらに多数のディスクDに記録される。

【0085】ステップS55において、Register_1とRegister_2の値が等しいと判定回路38で判定された場合、制御回路39は、ステップS56において、変数Nを1だけインクリメントする。そして、制御回路39は、ステップS57で、まだ判定するブロックが残っているか否かをチェックし、さらに判定すべきブロックが存在する場合においては、ステップS42に戻り、それ以降の処理を実行する。すなわち、いまの場合、キーデータの第1ビットの判定が行われた段階なので、再びステップS42に戻り、同様の処理を繰り返し実行する。そして、nビットのキーデータについて、同様の判定処理が行われ、nビットのデータが一致する場合、ステップS58に進み、制御回路39は、いま入力されているビットストリームは、確率 $1 - 1/2^n$ で不正にコピーされたビットストリームであると判定する。このとき、制御回路39は、その旨を表示装置40に出力し、表示させるとともに、記録装置37を制御し、その記録動作を禁止させる。

【0086】なお、ステップS53において、第2のブロックのDC Sizeが0であると判定された場合、その第2のブロックにはキーデータが記録されていないので、ステップS54乃至S56の処理は、スキップされる。

【0087】図16は、図9に示すフォーマッタにより製造されたディスクを再生するプレーヤの構成例を表している。この実施の形態においては、ディスクDを再生して得られたビットストリームがVLD（可変長符号復号化回路）61にされ、可変長復号化処理されるようになされている。VLD61の出力は、逆量子化回路62にされ、逆量子化されるようになされている。逆量子化回路62の出力は、IDCT回路63に供給され、IDCT処理されるようになされている。

【0088】加算器64は、IDCT回路63より供給されたデータと、予測メモリ66に予め記憶されている予測画像データとを加算し、図示せぬCRTなどの表示装置に出力するようになされている。また、加算器64の出力するデータは、動き補償回路65において、動き補償された後、予測メモリ66に予測画像として記憶されるようになされている。

【0089】次に、その動作について説明する。ディスクDより再生され、出力されたビットストリームは、VLD61にされ、可変長復号化処理される。逆量子化回路62は、VLD61より入力された可変長復号化データを逆量子化して、IDCT回路63に出力する。IDCT回路63は、入力されたデータをIDCT処理し、加算器64に出力する。加算器64は、予測メモリ66より読み出された予測画像データとIDCT回路6

3より供給されたデータとを加算し、図示せぬCRTなどに出力し、表示させる。

【0090】また、加算器64の出力するデータは、動き補償回路65で動き補償された後、予測メモリ66に供給され、予測画像として記憶される。

【0091】なお、動き補償回路65が動き補償を行う上において必要な動きベクトルは、ビットストリームから分離抽出される。

【0092】以上の処理をまとめると、図17に示すようになる。すなわち、オリジナルのソースから得られるデータを、エンコーダにより、磁気テープあるいは高密度の光磁気ディスク（MD）に記録し、正規のマスタ（上記した実施の形態の場合、マスタディスクMD）を得る。この処理は、通常、放送局、スタジオなどで行われる。

【0093】このように、正規のマスタに記録したデータを大量のディスクに記録する場合、そのマスタがフォーマッタに提供される。フォーマッタは、このマスタを再生し、原盤に記録する。そして、このとき、DC Differentialにキーデータを記録する。このようにして、ビットストリームが記録された原盤から、スタンパを作成し、そのスタンパから大量のレプリカディスクを複製する。このレプリカディスクが一般のユーザに売物として販売される。ユーザは、図16に示すプレーヤによって、このディスクを再生することができる。

【0094】また、この売物のディスクをフォーマッタに持ち込み、大量のディスクの製造が依頼される場合がある。あるいはまた、このディスクから、さらにマスタテープやマスタの光磁気ディスクが製造され、大量のディスクの製造がフォーマッタに依頼される場合がある。この場合も、フォーマッタは、上述した場合と同様に、マスタを再生し、ビットストリームを得る。しかしながら、このビットストリームには、キーデータが記録されているので、上述した図14と図15のフローチャートに示す判定処理により、キーデータが検出される。その結果、表示装置40に、そのビットストリームがフォーマッタにより一旦製造されたディスクからコピーされたものであることが表示されるとともに、記録装置37が制御装置39により制御され、記録動作が禁止される。これにより、不正コピーが防止される。

【0095】ただし、フォーマッタが、この不正なマスタから大量のレプリカディスクを製造し、そのディスクが一般ユーザに販売されれば、一般ユーザは、正規のディスクと同様に、これを再生することが可能となる。

【0096】すなわち、この実施の形態の場合、一般ユーザは、正規のディスクでも、不正にコピーされたディスクでも、再生ができなくなるようなことはなく、不正なコピーの防止は、フォーマッタの責任において実行される。

【0097】DC成分の差分符号化(DPCM)は、Slice単位で閉じている。このため、第2のブロックの位置をSliceの最後と指定すれば、差分符号化(DPCM)によるDC成分のずれは、それ以降のブロックには伝播しない。このため、この場合には、第3のブロックの補正処理は不要となる。

【0098】また、第1のブロックと第2のブロックは、ともに輝度(Y)信号または色差(Cb, Cr)信号の同種のブロックとしてもよいが、例えば、第1のブロックを輝度信号のブロックとし、第2のブロックを色

差信号のブロックとすることも可能である。ただし、第2のブロックと第3のブロックの種類は、補正の関係上、一致している必要がある。

【0099】また、上記実施の形態においては、第2のブロックのDC DifferentialのLSBを、第1のブロックのDC DifferentialのLSBと一致させるようにしたが、予め設定したキーデータを記録する場合には、第1のブロックは不要となり、第2のブロックに直接予め設定されているキーデータを記録し、第3のブロックでこれを補正するようにす

ればよい。

【0100】上記実施の形態においては、DC Differentialにキーデータを記録するようにしたが、Motion Vector(動きベクトル)の差分値を符号化したコードの中のMotion_residual(FLC)を用いることも可能である。

【0101】すなわち、MPEG方式においては、図8を参照して説明したように、動きベクトル検出回路11でPピクチャおよびBピクチャの動きベクトルを検出し、これを符号化してビットストリーム中に含めて伝送するようになされている。このMotion Vectorは、図18に示すようなVLCとされるMotion_codeと、FLCとしてのMotion_residualで表される。Motion_codeは、Motion Vectorの大まかな値を表し、Motion_residualは、細かな値を表すための補正値を表す。また、f_codeは、Motion_codeの精度(倍率)を表している。

【0102】例えば、f_codeが1の場合、Motion_codeは0.5精度の値を表す。これにより、充分細かな値が表されるので、この場合、Motion_residualは使用されない。

【0103】f_codeが2である場合、Motion_codeは整数精度を表し、Motion_residualは、0.5精度の値を表す。すなわち、このとき、Motion_residualは、0または0.5を示す1ビットのFLCで表される。

【0104】さらに、f_codeが3である場合、Motion_codeは2の倍数の精度の値を表し、Motion_residualは、0、0.5、1.0

または1.5を表す2ビットのFLCとなる。

【0105】なお、DC Differentialの場合と同様に、Motion_codeが0である場合、Motion_residualは存在しない。

【0106】このようなFLCであるMotion_residualに、上述したDC Differentialの場合と同様に、不正コピーを防止するためのキーデータを記録するようにすることができる。

【0107】なお、Motion_residualはPピクチャとBピクチャに存在するが、BピクチャのMotion_residualを用いるようにすれば、Bピクチャは他のピクチャの予測に用いられることがないので、キーデータ挿入による他のピクチャへの影響を防止することができる。

【0108】上記実施の形態においては、キーデータをnビットにより構成するようにしたが、このnビットのデータは、1つの画面(ピクチャ)内に配置するようにしてもよいし、複数の画面(ピクチャ)内に分散して配置するようにすることもできる。

【0109】また、上記実施の形態においては、所定のブロックを演算により求めるようにしたが、その演算式は、必要に応じて、適宜変更するようにすることもできる。

【0110】また、所定のブロックを演算により求める代わりに、パターンROMに予め記憶するようにすることも可能である。

【0111】これらの実施の形態は、次のような特徴を有する。

【0112】(1) MPEG Videoとしての規格を満足している。

【0113】(2) ビットストリーム中の、規格上、常にFLCとされる符号中にキーデータを挿入するので、エンコードにおける処理が全く不要となる。その結果、不正コピーをより確実に防止することができる。何故ならば、通常、エンコードは、スタジオ等に載置され、その数も比較的多くなる。これに対して、ディスクを大量に製造するフォーマットは、比較的規模の大きな設備を必要とし、通常、メーカなどが所有し、その数はエンコードよりはるかに少ない。

【0114】(3) FLC中にキーデータを挿入するので、ビットストリームの長さが変化しない。VLC中にキーデータを挿入するようにすると、ビットストリームの長さが変化するので、エンコード側が、デコード側のバッファとして想定しているVBV(Video Buffering Verifier)バッファのアンダフローとオーバフローを防止することができなくなる。

【0115】(4) FLC中の下位のビットを書き換えるだけなので、画像に与えるノイズは実質的には、無視することができる。

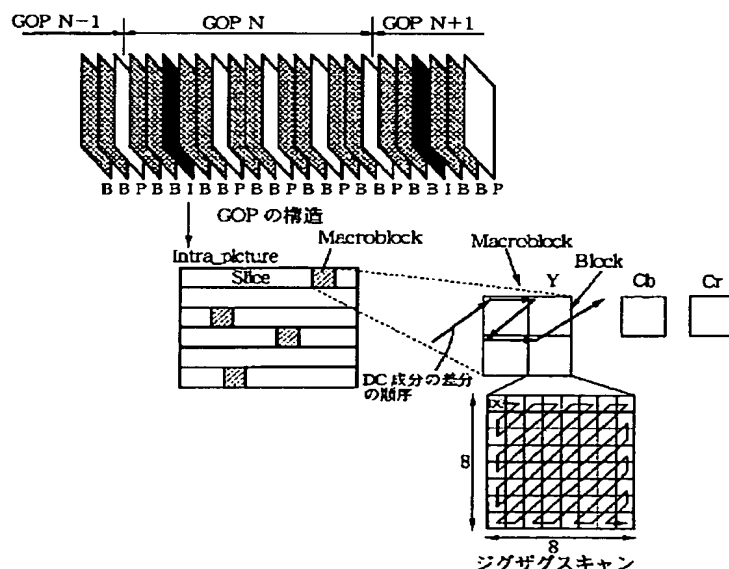
【0116】(5) データ中にキーデータが存在するた

【0119】

【図面の簡単な説明】

【図4】DCT係数のDC成分の符号化を説明する図で

【图 1】



【図7】キーデータを説明する図である。

【図8】 エンコーダの構成例を示すブロック図である。

【図9】フォーマッタの構成例を示すブロック図である。

【図10】図9の実施の形態の記録時の動作を説明するフローチャートである。

【図11】図10に続くフローチャートである。

【図12】 図11に続くフローチャートである。

【図13】図12のステップS18の処理を説明する図である。

【図14】図9の実施の形態の判定処理を説明するフローチャートである。

【図15】 図14に続くフローチャートである。

【図16】プレーヤの構成例を示すブロック図である。

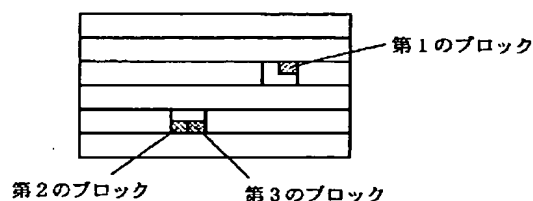
【図 17】本発明におけるキーデータの記録の原理を説明する図である。

【図18】 `motion_code`を説明する図である。

【符号の説明】

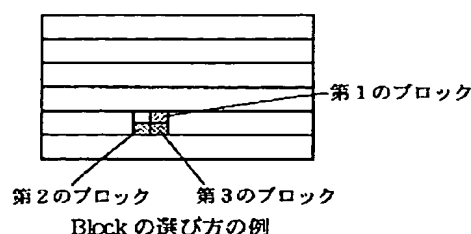
- 3 1 メモリ, 3 2 演算回路, 3 3 検出回路,
3 4 メモリ, 3 5 キーデータ挿入回路, 3 6
補正回路, 3 7 記録装置, 3 8 判定回路,
3 9 制御回路, 4 0 表示装置

【图2】

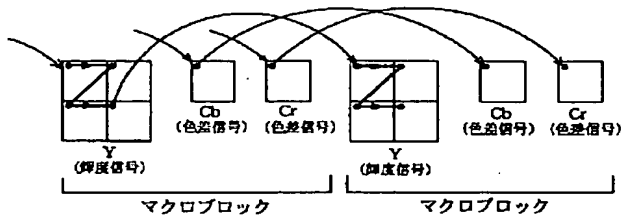


Block の選び方の例

【图 3】



【図4】



【図6】

DCTのDC差分

| DCT DC成分サイズ=3のときの例 | |
|---------------------|------------|
| DCT DC Differential | DCT zz [0] |
| 000 | -7 |
| 001 | -8 |
| 010 | -5 |
| 011 | -4 |
| 100 | 4 |
| 101 | 5 |
| 110 | 6 |
| 111 | 7 |

【図5】

(A)

輝度についてのDCTのDC成分サイズ

| VLC | 輝度についてのDC成分サイズ |
|---------|----------------|
| 100 | 0 |
| 00 | 1 |
| 01 | 2 |
| 101 | 3 |
| 110 | 4 |
| 1110 | 5 |
| 11110 | 6 |
| 111110 | 7 |
| 1111110 | 8 |

(B)

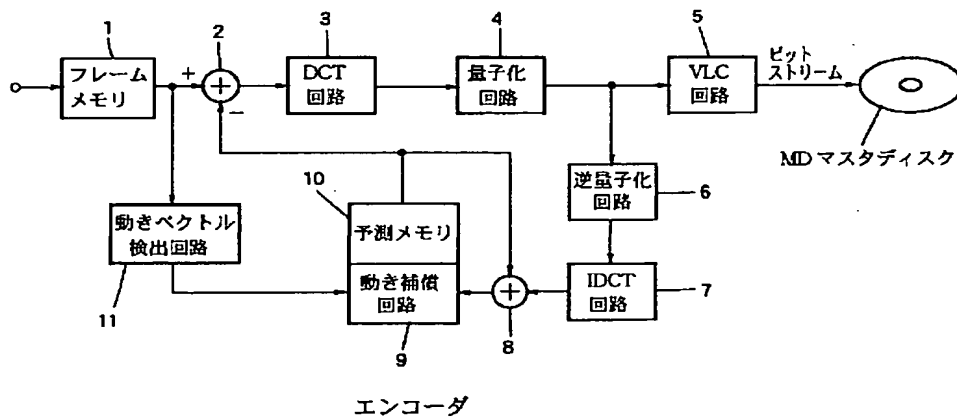
色差についてのDCTのDC成分サイズ

| VLC | 色差についてのDC成分サイズ |
|----------|----------------|
| 00 | 0 |
| 01 | 1 |
| 10 | 2 |
| 110 | 3 |
| 1110 | 4 |
| 11110 | 5 |
| 111110 | 6 |
| 1111110 | 7 |
| 11111110 | 8 |

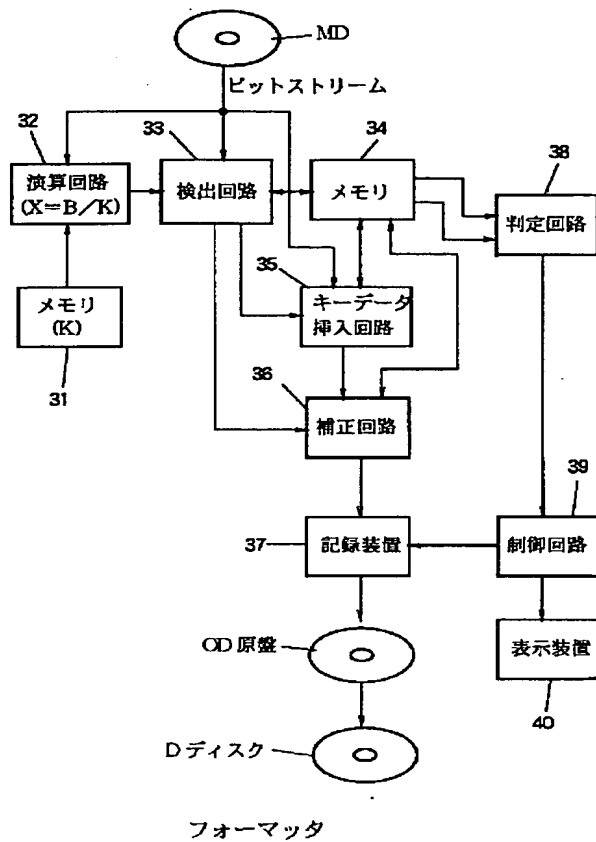
【図7】

| | | | | | | | |
|---|---|---|---|---|-------|-----|---|
| 1 | 2 | 3 | 4 | 5 | | n-1 | n |
| 1 | 0 | 1 | 1 | 0 | | 1 | 0 |

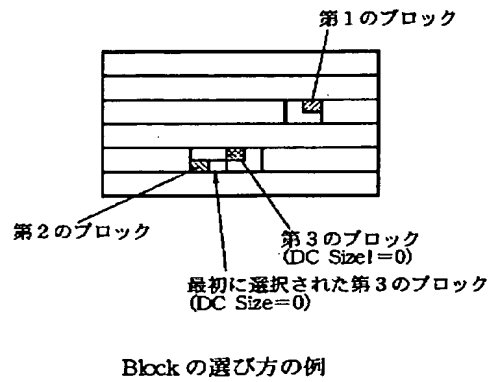
【図8】



【図9】



【図13】

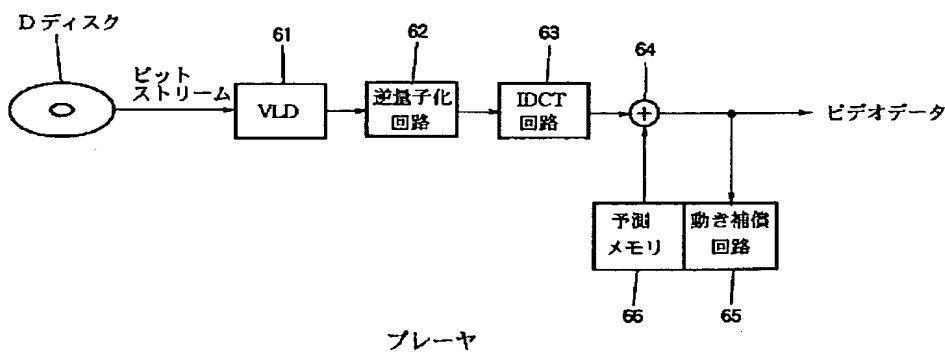


【図18】

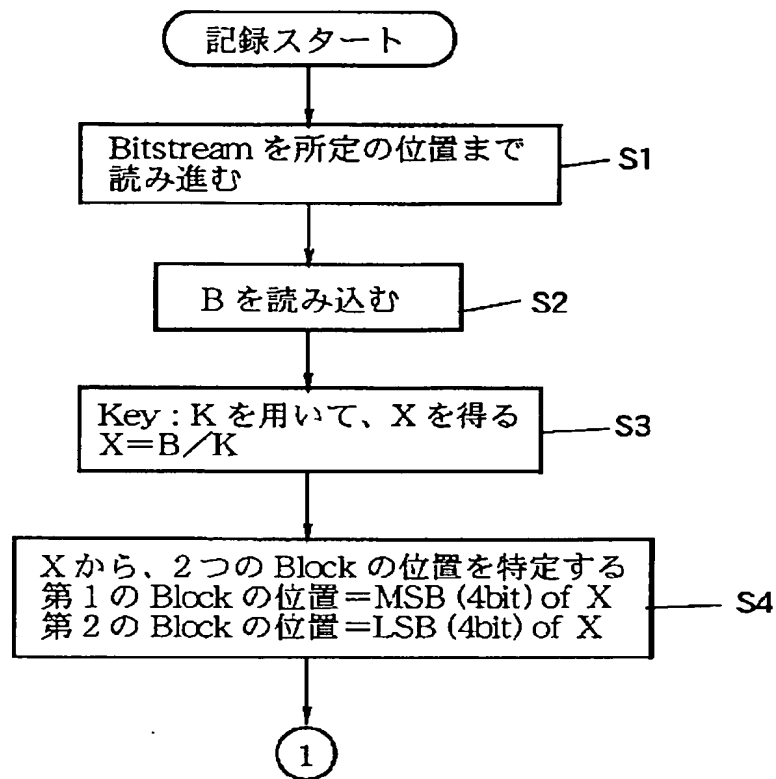
Variable length codes for motion_code

| Variable length code | motion_code[r][s][t] |
|----------------------|----------------------|
| 0000 0011 001 | -16 |
| 0000 0011 011 | -15 |
| 0000 0011 101 | -14 |
| 0000 0011 111 | -13 |
| 0000 0100 001 | -12 |
| 0000 0100 011 | -11 |
| 0000 0100 11 | -10 |
| 0000 0101 01 | -9 |
| 0000 0101 11 | -8 |
| 0000 0111 | -7 |
| 0000 1001 | -6 |
| 0000 1011 | -5 |
| 0000 111 | -4 |
| 0001 1 | -3 |
| 0011 | -2 |
| 011 | -1 |
| 1 | 0 |
| 010 | 1 |
| 0010 | 2 |
| 0001 0 | 3 |
| 0000 110 | 4 |
| 0000 1010 | 5 |
| 0000 1000 | 6 |
| 0000 0110 | 7 |
| 0000 0101 10 | 8 |
| 0000 0101 00 | 9 |
| 0000 0100 10 | 10 |
| 0000 0100 010 | 11 |
| 0000 0100 000 | 12 |
| 0000 0011 110 | 13 |
| 0000 0011 100 | 14 |
| 0000 0011 010 | 15 |
| 0000 0011 000 | 16 |

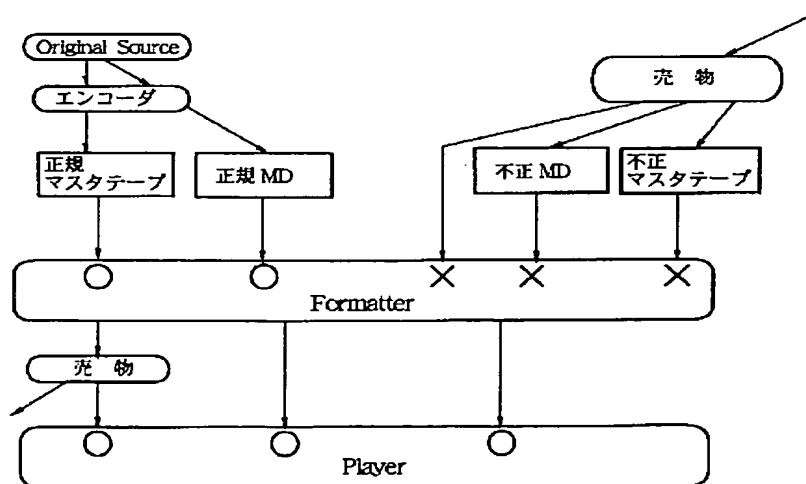
【図16】



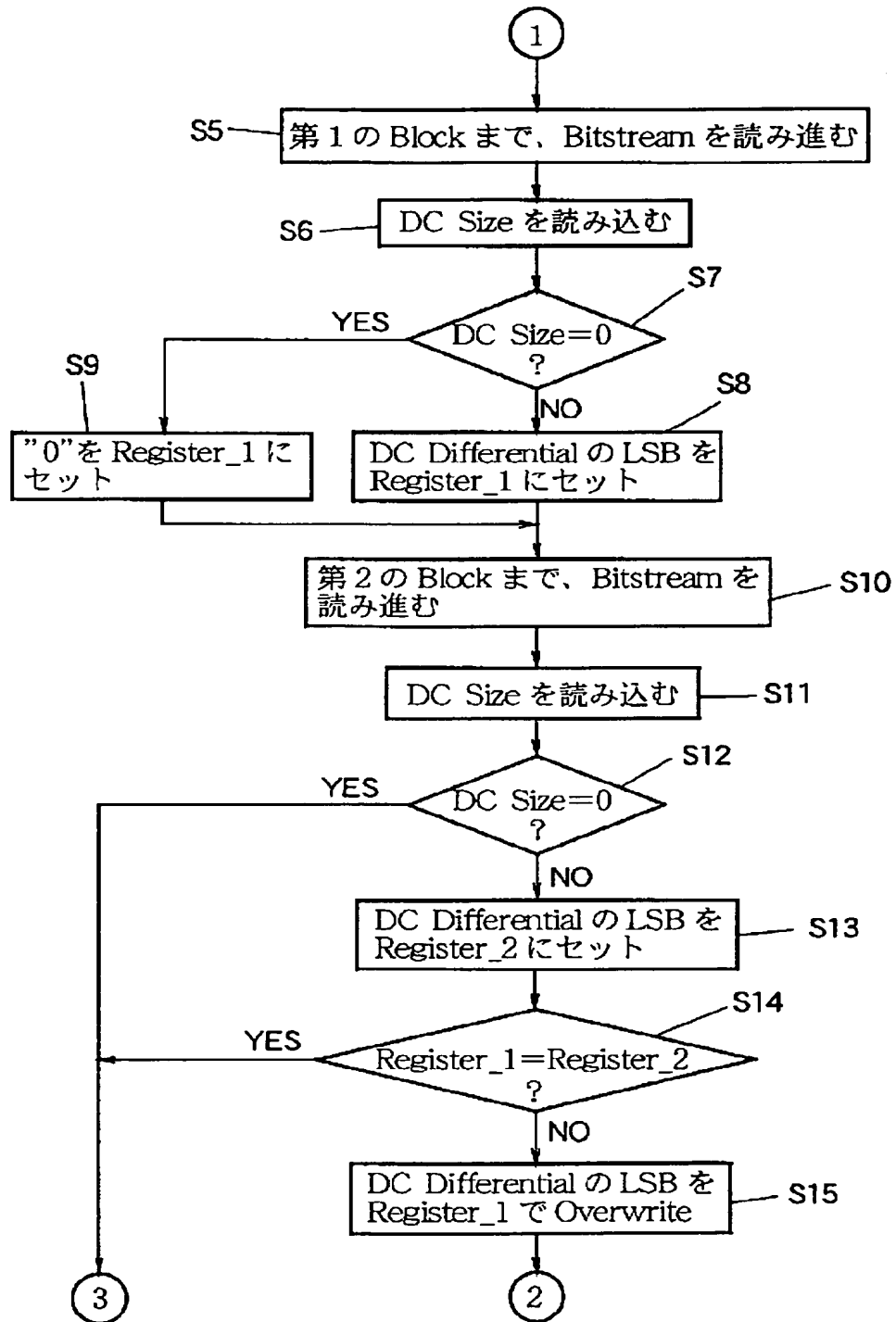
【図10】



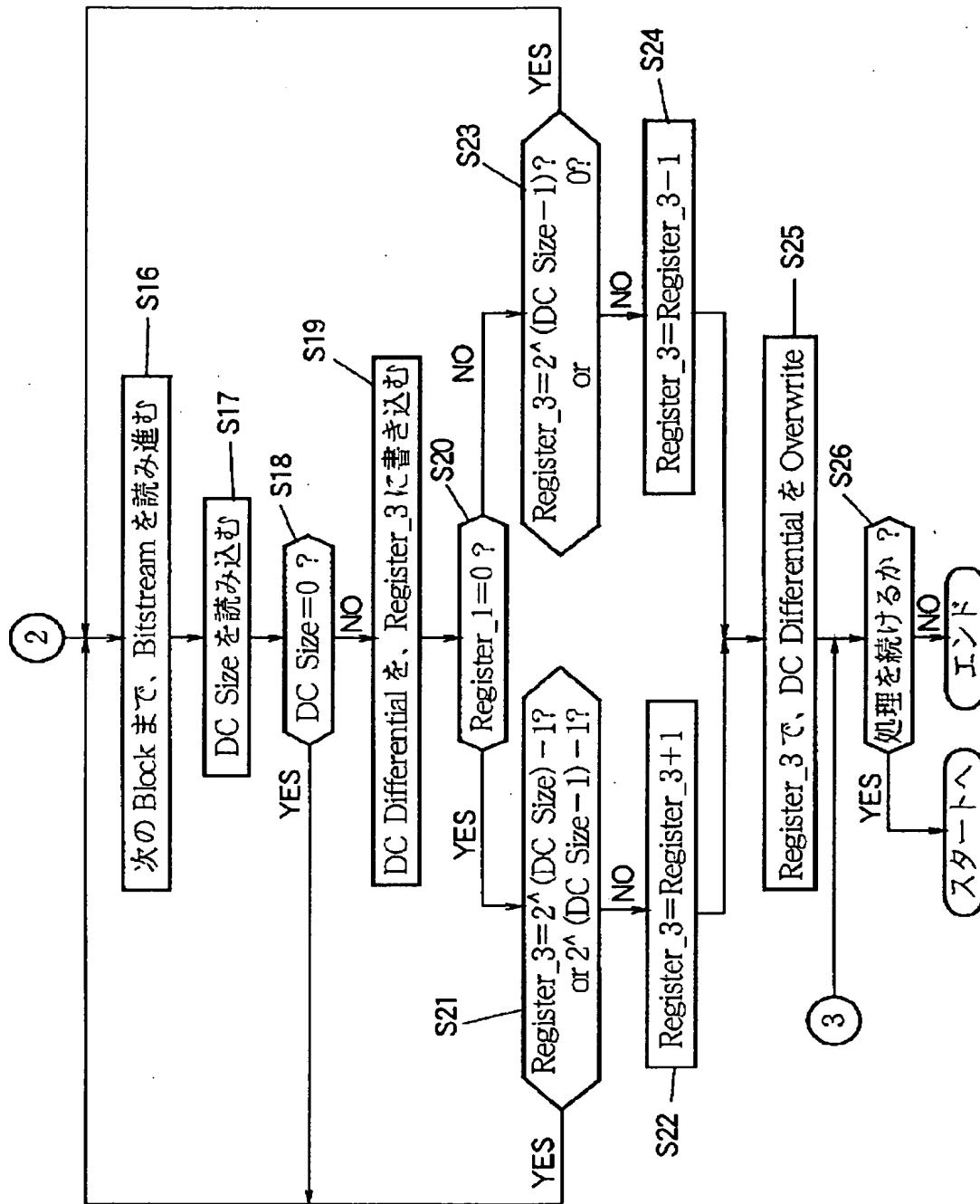
【図17】



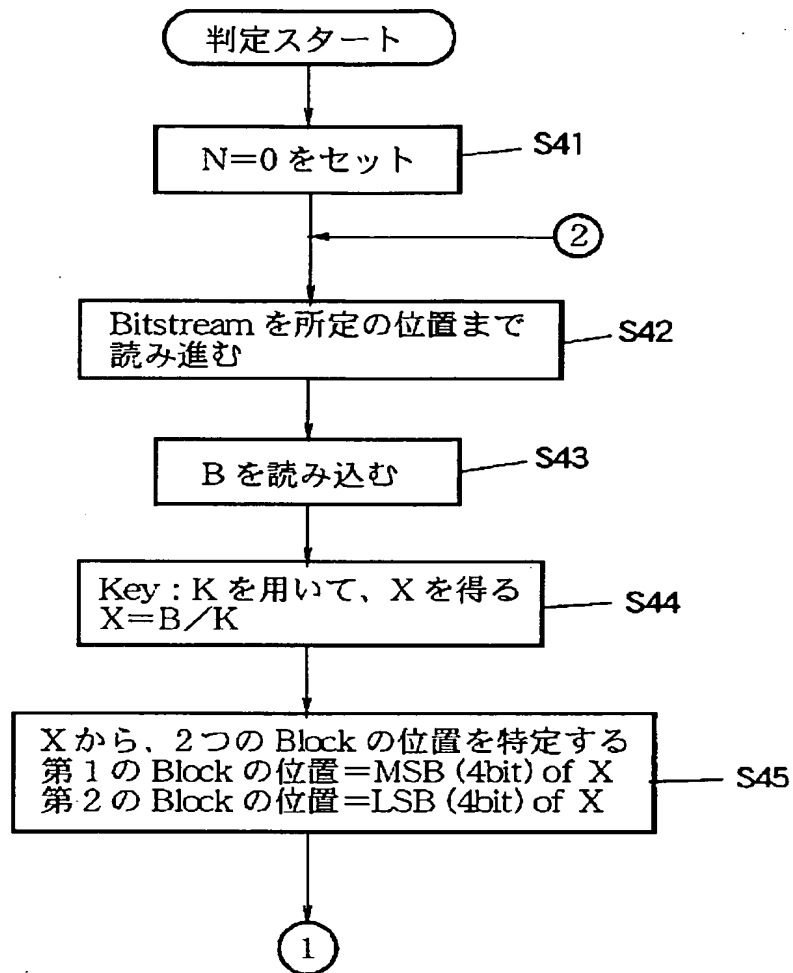
【図 11】



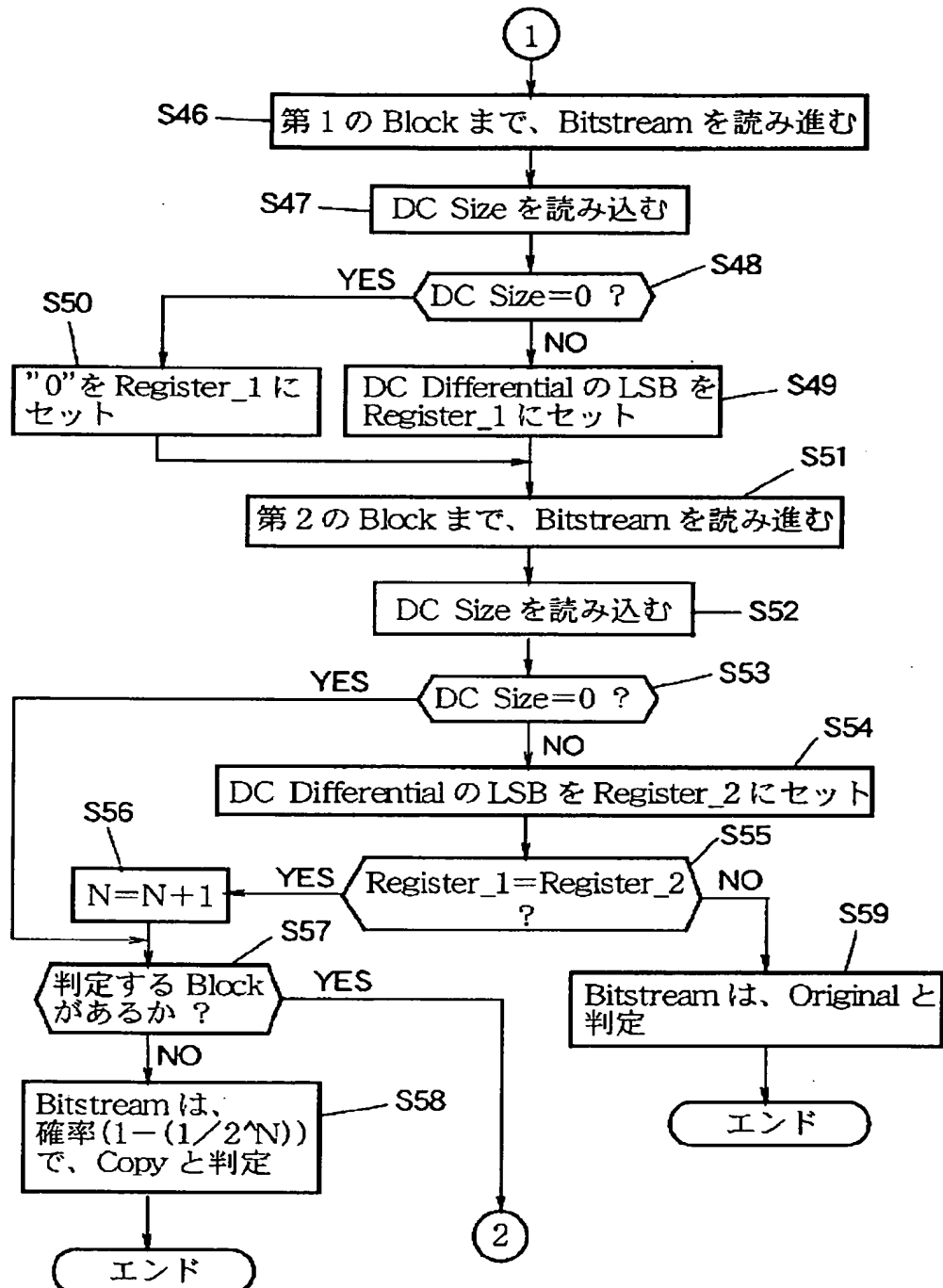
【図 12】



【図 1 4】



【図 15】



フロントページの続き

(72) 発明者 藤波 靖
東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内